

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PUB. NO.: 08-101820 [JP 8101820 A]
PUBLISHED: April 16, 1996 (19960416)
INVENTOR(s): FUJIMURA HIRONORI
YAGUCHI TOSHIYUKI
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 06-237803 [JP 94237803]
FILED: September 30, 1994 (19940930)
INTL CLASS: [6] G06F-015/78; G06F-001/32
JAPIO CLASS: 45.4 (INFORMATION PROCESSING — Computer Applications); 45.9
(INFORMATION PROCESSING — Other)
JAPIO KEYWORD: R131 (INFORMATION PROCESSING — Microcomputers &
Microprocessors)

ABSTRACT

PURPOSE: To make a circuit not operate at a data pass part and reduce the power consumption by keeping on supplying a control signal which is supplied so far to the data pass part when no operation is performed at the data pass part.

CONSTITUTION: When no operation is performed at the data pass part 4 (at NOP time), a signal CC=0 is inputted as the control signal of a latch 12 according to the decoding result of an instruction by an instruction decoding part 1, so the C latch performs no latching operation. Consequently, the instruction decoding part 1 outputs control signals CL1 and CLO=0 so that neither of output latches 5 and 7 performs latching operation while the control signal CO=A is outputted to the data pass part 4. Therefore, the input data DI and control signal CO never change at the data pass part 4, so no switching is done. Consequently, when the data pass part 4 performs no operation, the data pass part 4 does not operate and the power consumption is reducible.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-101820

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁶

G 0 6 F 15/78
1/32

識別記号

5 1 0 D

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/ 00 3 3 2 Z

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願平6-237803

(22) 出願日

平成6年(1994)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 藤村 博紀

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72) 発明者 矢口 俊行

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

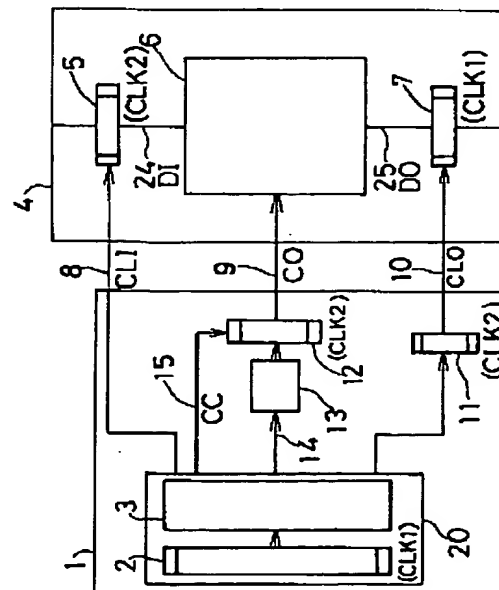
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 マイクロプロセッサ

(57) 【要約】

【目的】 この発明は、データバス部においてオペレーションが行われない場合にはデータバス部の内部回路の動作を停止させて、低消費電力化を図ったマイクロプロセッサを提供することを目的とする。

【構成】 この発明は、データバス部4でオペレーションを行わない場合にはこれを命令デコード部1で検出して、データバス部4の内部回路の動作を制御する新たな制御信号9をデータバス部4に出力せず、それまでデータバス部4に与えられていた制御信号9をデータバス部4に与え続けるように構成される。



【特許請求の範囲】

【請求項 1】 入力されるデータをラッチする入力ラッチ回路と、
入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、
組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、
外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号と、データバス部でオペレーションが行われるか否かを検出する検出信号を生成するデータバス制御ブロックと、
データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、
データバス制御ブロックで生成された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、生成回路で生成された制御信号をラッチせず、それまでラッチされていた制御信号をデータバス部に与え続ける第 1 のラッチ回路と、
データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第 2 のラッチ回路とからなる命令デコード部とを有することを特徴とするマイクロプロセッサ。

【請求項 2】 入力されるデータをラッチする入力ラッチ回路と、
入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、
組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、
外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号と、データバス部でオペレーションが行われるか否かを検出する検出信号を生成するデータバス制御ブロックと、
データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、
生成回路で生成された制御信号をラッチする第 1 のラッチ回路と、
データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第 2 のラッチ回路とデータバス制

御ブロックで生成された検出信号をラッチする第 3 のラッチ回路と、

第 3 のラッチ回路にラッチされた検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、第 1 のラッチ回路にラッチされた制御信号をデータバス部に与えず、それまで出力されていた制御信号をデータバス部に出力し続けるバッファ回路とからなる命令デコード部とを有することを特徴とするマイクロプロセッサ。

【請求項 3】 入力されるデータをラッチする入力ラッチ回路と、
入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、
組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、
外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号と、データバス部でオペレーションが行われるか否かを検出する検出信号を生成するデータバス制御ブロックと、
データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、
生成回路で生成された制御信号とそれまでデータバス部に与えられていた制御信号を受けて、データバス制御ブロックで生成された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、それまでデータバス部に与えられていた制御信号をセレクトするセレクトと、
セレクトによりセレクトされた制御信号をラッチしてデータバス部に与える第 1 のラッチ回路と、
データバス制御ブロックで生成された出力ラッチ回路の制御信号をクロック信号に同期してラッチする第 2 のラッチ回路とからなる命令デコード部とを有することを特徴とするマイクロプロセッサ。

【請求項 4】 前記検出信号は、前記命令レジスタに保持された命令の一部が割り当てられてなることを特徴とする請求項 1、2 又は 3 記載のマイクロプロセッサ。

【請求項 5】 前記プリデコード回路は、命令レジスタに保持された命令を受けてマイクロコードを生成出力する P L A (プログラマブル・ロジック・アレイ) を備え、P L A により生成されるマイクロコードの一部が前記検出信号として割り当てられてなることを特徴とする請求項 1、2 又は 3 記載のマイクロプロセッサ。

【請求項 6】 前記プリデコード回路は、

命令レジスタに保持された命令を受けてマイクロコードを生成出力する P L A (プログラマブル・ロジック・アレイ) と、

P L A によって生成されたマイクロコードを受けてオペレーション信号を生成するデコード回路とを備え、デコード回路によって生成されたオペレーション信号の一部が前記検出信号として割り当てられてなることを特徴とする請求項 1, 2 又は 3 記載のマイクロプロセッサ。

【請求項 7】 前記データバス制御ブロックは、マイクロプロセッサ内の状態を制御するステートマシンを備え、前記命令レジスタに保持された命令とステートマシンから出力される信号を受ける前記プリデコード回路の出力の一部が前記検出信号として割り当てられてなることを特徴とする請求項 1, 2 又は 3 記載のマイクロプロセッサ。

【請求項 8】 入力されるデータをラッチする入力ラッチ回路と、
入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、
組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、

外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号を生成するデータバス制御ブロックと、

データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、

データバス制御ブロックで生成されたオペレーション信号を受けて、データバス部でオペレーションが行われるか否かを検出する検出信号を生成する検出回路と、

検出回路で生成された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、生成回路で生成された制御信号をラッチせず、それまでラッチされていた制御信号をデータバス部に与え続ける第 1 のラッチ回路と、

データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第 2 のラッチ回路とからなる命令デコード部とを有することを特徴とするマイクロプロセッサ。

【請求項 9】 入力されるデータをラッチする入力ラッチ回路と、

入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、

組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなる

データバス部と、

外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、

データバス部で行われるオペレーションを指定するオペレーション信号を生成するデータバス制御ブロックと、

データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、

生成回路で生成された制御信号をラッチする第 1 のラッチ回路と、

データバス制御ブロックで生成されたオペレーション信号を受けて、データバス部でオペレーションが行われるか否かを検出する検出信号を生成する検出回路と、

検出回路で生成された検出信号をラッチする第 2 のラッチ回路と、

第 2 のラッチ回路でラッチされた検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、第 1 のラッチ回路でラッチされた制御信号をデータバス部に出力せず、それまで出力されていた制御信号をデータバス部に出力し続けるバッファ回路と、

データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第 3 のラッチ回路とからなる命令デコード部とを有することを特徴とするマイクロプロセッサ。

【請求項 10】 入力されるデータをラッチする入力ラッチ回路と、

入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、

組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、

外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、

データバス部で行われるオペレーションを指定するオペレーション信号を生成するデータバス制御ブロックと、

データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、

データバス制御ブロックで生成されたオペレーション信号を受けて、データバス部でオペレーションが行われるか否かを検出する検出信号を生成する検出回路と、

生成回路で生成された制御信号とそれまでデータバス部に与えられていた制御信号を受けて、検出回路で検出さ

れた検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、それまでデータバス部に与えられていた制御信号をセレクトするセレクトと、セレクトによりセレクトされた制御信号をラッチしてデータバス部に与える第1のラッチ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第2のラッチ回路とからなる命令デコード部とを有することを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ操作が行われるデータバス部がオペレーションを行わない場合には内部動作を停止させて、低消費電力化を可能とするマイクロプロセッサに関する。

【0002】

【従来の技術】従来のマイクロプロセッサとしては、図12に示すように構成されたものがある。

【0003】図12において、1は命令のデコードを行う命令デコード部、4はオペレーションを行うデータバス部を示している。

【0004】次に、データバス部4の内部について説明する。5はデータバス部に入力されるデータをクロック信号(CLK2)の立ち下がりでラッチする入力ラッチで、制御信号(CLI)=1でラッチを行い、CLI=0ならラッチを行わない。24は入力ラッチ5でラッチされた組み合わせ論理回路6の入力データ(DI)、6は入力データにオペレーションを行う組み合わせ論理回路部、25は組み合わせ論理回路6の出力データ(DO)、7はオペレーション後の出力データをクロック信号(CLK1)の立ち下がりでラッチする出力ラッチで、制御信号(CLO)=1でラッチを行い、CLO=0ならラッチを行わない。

【0005】次に、命令デコード部1内について説明する。2は命令レジスタ、3は命令レジスタ2より出力される信号をデコードして入力ラッチ5の制御信号CLIと、出力ラッチ7の制御信号CLO、及びデータバス部4のオペレーション信号を出力するブリデコード回路、8は入力ラッチ5でラッチを行う(“1”)か行わないか(“0”)の制御信号(CLI)、14はデータバス部4でどのようなオペレーションを行うかを指定する信号を示しており、10は出力ラッチ7でラッチを行う(“1”)か行わないか(“0”)の制御信号(CLO)、13はデータバス部4のオペレーション信号を入力として、組み合わせ論理回路6の制御信号COを出力する組み合わせ論理回路6の制御信号生成回路、12は組み合わせ論理回路6の制御信号をCLK2の立ち下がりでラッチするCLラッチ、9は組み合わせ論理回路6にどのようなオペレーションを行わせるかの制御信号(C

O)、11は出力ラッチ7の制御信号CLOをCLK2の立ち下がりでラッチするCLOラッチを示している。

【0006】次に、以上のように構成されたマイクロプロセッサの動作を、図13に示すデータバス部4及び命令デコード部1中の各信号のタイミングチャートを用いて説明する。

【0007】まず、データバス部4において、あるオペレーション(A)を行う場合には、命令デコード部1からはデータバス部4にオペレーション(A)を行わせる制御信号CO=Aを出力し、各入、出力ラッチ5、7にラッチをおこなわせる制御信号CLI、CLO=1を出力する。データバス部4では上記制御信号CO=Aを受けて、入力ラッチ5でラッチしたDI(入力データ1)にAというオペレーションを行い、DO(出力データ1)を出力する。

【0008】次に、データバス部4でオペレーションを行わない場合(NOP時)は、命令デコード部1からはデータバス部4に制御信号CO=Nを出力し、各入、出力ラッチ5、7にラッチをおこなわないように制御信号CLI、CLO=0を出力する。従って、データバス部4では上記制御信号CO=Nを受けて、引き続き入力されるDI(入力データ1)に上記制御信号CO=Nに対応するオペレーションを行い、DO(出力データ1')を出力していた。

【0009】

【発明が解決しようとする課題】以上説明したように、命令をデコードしたデコード結果に応じて動作する組み合わせ論理回路からなる例えばALU(算術論理演算ユニット)のデータバス部を備えた従来のマイクロプロセッサは、データバス部においてオペレーションが行われない場合がある。1つの命令をデコードしてデコード結果に応じてALUで演算処理を行う場合に、この演算処理において常にALUを動作させなければならないとは限らず、例えば加算処理の場合にはオペランドを用意している間又は演算結果を転送保持する間はALUを動作させる必要はなかった。

【0010】しかしながら、図12に示す従来のマイクロプロセッサでは、上記のような場合であってもデータバス部の内部回路が命令デコード部から与えられる制御信号にしたがって動作し、無駄な電力を消費するといった不具合を招いていた。

【0011】そこで、本発明は、上記に鑑みてなされたものであり、その目的とするところは、データバス部においてオペレーションが行われない場合にはデータバス部の内部回路を動作させず、低消費電力化を図ったマイクロプロセッサを提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、入力されるデータをラッチする入力ラッチ回路と、入力ラッチ回路にラッチされた

入力データを受けてオペレーションを行う組み合わせ論理回路と、組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号と、データバス部でオペレーションが行われるか否かを検出する検出信号を生成するデータバス制御ブロックと、データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、データバス制御ブロックで生成された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、生成回路で生成された制御信号をラッチせず、それまでラッチされていた制御信号をデータバス部に与え続ける第1のラッチ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第2のラッチ回路とからなる命令デコード部とから構成される。

【0013】請求項2記載の発明は、入力されるデータをラッチする入力ラッチ回路と、入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号と、データバス部でオペレーションが行われるか否かを検出する検出信号を生成するデータバス制御ブロックと、データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、生成回路で生成された制御信号をラッチする第1のラッチ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第2のラッチ回路とデータバス制御ブロックで生成された検出信号をラッチする第3のラッチ回路と、第3のラッチ回路にラッチされた検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、第1のラッチ回路にラッチされた制御信号をデータバス部に与えず、それまで出力されていた制御信号をデータバス部に出力し続けるバッファ回路とからなる命令デコード部とから構成される。

【0014】請求項3記載の発明は、入力されるデータをラッチする入力ラッチ回路と、入力ラッチ回路にラッ

チされた入力データを受けてオペレーションを行う組み合わせ論理回路と、組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号と、データバス部でオペレーションが行われるか否かを検出する検出信号を生成するデータバス制御ブロックと、データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、生成回路で生成された制御信号とそれまでデータバス部に与えられていた制御信号を受けて、データバス制御ブロックで生成された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、それまでデータバス部に与えられていた制御信号をセレクトするセレクトと、セレクトによりセレクトされた制御信号をラッチしてデータバス部に与える第1のラッチ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をクロック信号に同期してラッチする第2のラッチ回路とからなる命令デコード部とから構成される。

【0015】請求項4記載の発明は、請求項1、2又は3記載のマイクロプロセッサにおいて、前記検出信号は、前記命令レジスタに保持された命令の一部が割り当てられてなる。

【0016】請求項5記載の発明は、請求項1、2又は3記載のマイクロプロセッサにおいて、前記プリデコード回路は、命令レジスタに保持された命令を受けてマイクロコードを生成出力するPLA（プログラマブル・ロジック・アレイ）を備え、PLAにより生成されるマイクロコードの一部が前記検出信号として割り当てられてなる。

【0017】請求項6記載の発明は、請求項1、2又は3記載のマイクロプロセッサにおいて、前記プリデコード回路は、命令レジスタに保持された命令を受けてマイクロコードを生成出力するPLA（プログラマブル・ロジック・アレイ）と、PLAによって生成されたマイクロコードを受けてオペレーション信号を生成するデコード回路とを備え、デコード回路によって生成されたオペレーション信号の一部が前記検出信号として割り当てられてなる。

【0018】請求項7記載の発明は、請求項1、2又は3記載のマイクロプロセッサにおいて、前記データバス制御ブロックは、マイクロプロセッサ内の状態を制御するステートマシンを備え、前記命令レジスタに保持された命令とステートマシンから出力される信号を受ける前

記プリデコード回路の出力の一部が前記検出信号として割り当てられてなる。

【0019】請求項8記載の発明は、入力されるデータをラッチする入力ラッチ回路と、入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号を生成するデータバス制御ブロックと、データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、データバス制御ブロックで生成されたオペレーション信号を受けて、データバス部でオペレーションが行われるか否かを検出する検出信号を生成する検出回路と、検出回路で生成された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、生成回路で生成された制御信号をラッチせず、それまでラッチされていた制御信号をデータバス部に与え続ける第1のラッチ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第2のラッチ回路とからなる命令デコード部とから構成される。

【0020】請求項9記載の発明は、入力されるデータをラッチする入力ラッチ回路と、入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、組み合わせ論理回路になされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号を生成するデータバス制御ブロックと、データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、生成回路で生成された制御信号をラッチする第1のラッチ回路と、データバス制御ブロックで生成されたオペレーション信号を受けて、データバス部でオペレーションが行われるか否かを検出する検出信号を生成する検出回路と、検出回路で生成された検出信号をラッチする第2のラッチ回路と、第2のラッチ回路でラッチされた検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、第1のラッチ回路でラッチされた制御信号をデー

タバス部に出力せず、それまで出力されていた制御信号をデータバス部に出力し続けるバッファ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第3のラッチ回路とからなる命令デコード部とから構成される。

【0021】請求項10記載の発明は、入力されるデータをラッチする入力ラッチ回路と、入力ラッチ回路にラッチされた入力データを受けてオペレーションを行う組み合わせ論理回路と、組み合わせ論理回路でなされたオペレーションの結果を出力データとしてラッチする出力ラッチ回路とからなるデータバス部と、外部から命令を取り込み保持する命令レジスタと、命令レジスタに保持された命令を受けてデコードするプリデコード回路を備え、命令のデコード結果に基づいて入力ラッチ回路の制御信号及び出力ラッチ回路の制御信号と、データバス部で行われるオペレーションを指定するオペレーション信号を生成するデータバス制御ブロックと、データバス制御ブロックで生成されたオペレーション信号を受けて、組み合わせ論理回路の動作を制御する制御信号を生成する生成回路と、データバス制御ブロックで生成されたオペレーション信号を受けて、データバス部でオペレーションが行われるか否かを検出する検出信号を生成する検出回路と、生成回路で生成された制御信号とそれまでデータバス部に与えられていた制御信号を受けて、検出回路で検出された検出信号に基づいて、検出信号がデータバス部でオペレーションが行われないことを示している場合には、それまでデータバス部に与えられていた制御信号をセレクトするセレクトと、セレクトによりセレクトされた制御信号をラッチしてデータバス部に与える第1のラッチ回路と、データバス制御ブロックで生成された出力ラッチ回路の制御信号をラッチする第2のラッチ回路とからなる命令デコード部とから構成される。

【0022】

【作用】上記構成において、この発明は、データバス部でオペレーションを行わない場合にはこれを検出して、データバスの内部回路の動作を制御する新たな制御信号をデータバス部に出力せず、それまで出力されていた制御信号を出力し続けるようにしている。

【0023】

【実施例】以下、図面を用いてこの発明の一実施例を説明する。

【0024】図1は請求項1記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【0025】図1において、1は命令のデコードを行う命令デコード部、4はオペレーションを行うデータバス部を示している。

【0026】次に、データバス部4の内部について説明する。5はデータバス部4に入力されるデータをクロック信号(CLK2)の立ち下がりでラッチする入力ラッチで、制御信号CLI=1でラッチを行い、CLI=0

ならラッチを行わない。24は入力ラッチ5でラッチされた組み合わせ論理回路6の入力データ(DI)、6は入力データにオペレーションを行う組み合わせ論理回路部、25は組み合わせ論理回路6の出力データ(DO)、7はオペレーション後の出力データ(DO)をCLK1の立ち下がりでラッチする出力ラッチで、制御信号CLO=1でラッチを行い、CLO=0ならラッチを行わない。

【0027】次に、命令デコード部1について説明する。2は命令レジスタ、3は命令レジスタ2より出力される信号をデコードするブリデコード回路、20は入力ラッチ5の制御信号CLIと、出力ラッチ7の制御信号CLO、及びデータバス部4のオペレーション信号を出力する命令レジスタ2とブリデコード回路3で構成されるブロック、15は命令レジスタ2とブリデコード回路3で構成されるブロックから出力される1ビットのNOP検出信号CCで、データバス部4のオペレーションがNOPの時はCC="0"を、それ以外ではCC="1"を出力する。8は入力ラッチ5でラッチを行う("1")か行わないか("0")の制御信号(CLI)、14はデータバス部4でどのようなオペレーションを行うかを指定する信号、10は出力ラッチ7でラッチを行う("1")か行わないか("0")の制御信号(CLO)、13はデータバス部4のオペレーション信号を入力として、組み合わせ論理回路6の制御信号COを出力する組み合わせ論理回路の制御信号生成回路、12は制御信号としてCOを入力し、組み合わせ論理回路6の制御信号をクロック信号(CLK2)の立ち下がりでラッチするCラッチ、9は組み合わせ論理回路6にどのようなオペレーションを行わせるかの制御信号(CO)、11は出力ラッチ7の制御信号CLOをCLK2の立ち下がりでラッチするCLOラッチを示している。

【0028】次に、以上のようなマイクロプロセッサの動作を、図2に示すデータバス部4及び命令デコード部1中の各信号のタイミングチャートを参照して説明する。

【0029】まず、データバス部4において、あるオペレーション(A)を行う場合に、命令デコード部1からはデータバス部4にオペレーション(A)を行わせる制御信号CO=Aを出力し、各入、出力ラッチ5、7にラッチをおこなわせる制御信号CLI、CLO=1を出力する。データバス部4では上記制御信号CO=Aを受けて、入力ラッチ5でラッチしたDI(入力データ1)にAというオペレーションを行い、DO(出力データ1)を出力する。

【0030】次に、データバス部4でオペレーションを行わない場合(NOP時)は、命令デコード部1による命令のデコード結果に応じてCC=0がCラッチ12の制御信号として入力されるので、Cラッチ12はラッチを行わない。そのため、命令デコード部1からはデータ

バス部4に制御信号CO=Aが出力されたままで、各入、出力ラッチ5、7にはラッチをおこなわないように制御信号CLI、CLO=0を出力する。従って、データバス部4では入力データDIと制御信号COが変化しないのでスイッチングは行われない。これにより、データバス部4がオペレーションしない場合にはデータバス部4は動作せず、消費電力を削減することができる。

【0031】なお、この発明において、データバス部4でオペレーションが行われない場合(NOP時)とは、組み合わせ論理回路6で行われる演算処理を含んで1つの命令を実行する際に、組み合わせ論理回路6が実質的に動作していない期間、例えば加算命令の実行ではオペランドの用意や演算結果の転送保持の期間でもあり、1つのNOP(ノンオペレーション)命令が実行される場合だけではない。また、1つの命令を実行するサイクルの所定の期間において組み合わせ論理回路6を動作させるか否かの判別は、命令レジスタ2に保持されるそれぞれの命令、例えば加算命令の場合には加算命令を構成するオペランドを用意する命令や演算結果の転送を行う命令によって行われる。

【0032】次に、上記1ビットのNOP検出信号CCの生成方法について4通り説明する。

【0033】まず、図3に示す生成方法は、命令レジスタ2の1ビットの出力をNOP検出信号とする実施例である。このような方法では、NOP検出信号を生成する特別な回路を必要とせず、構成の増加を回避することができる。

【0034】次に、図4に示す生成方法は、ブリデコード回路3は、命令レジスタ2の出力信号を入力としてマイクロコードを出力するPLA21及びデコード回路23から構成されており、PLA21の出力の1ビットをNOP検出信号とする実施例である。このような方法でも、NOP検出信号を生成する特別な回路を必要とせず、構成の増加を回避することができる。

【0035】次に、図5に示す生成方法は、ブリデコード回路3の中のデコード回路23の出力の1ビットをNOP検出信号とする実施例である。このような方法でも、NOP検出信号を生成する特別な回路を必要とせず、構成の増加を回避することができる。

【0036】次に、図6に示す生成方法は、命令レジスタ2とブリデコード回路3で構成されるブロック内にプロセッサ内の状態を制御するステートマシン22を持ち、命令レジスタ2とステートマシン22から出力される信号を入力するブリデコード回路3の出力の1ビットをNOP検出信号とする実施例である。このような方法では、ステートマシンを備えたマイクロプロセッサにおいて、NOP検出信号を生成する特別な回路を必要とせず、構成の増加を回避することができる。

【0037】図7は請求項2記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【0038】図7に示す実施例の特徴とするところは、図1に示す構成に対して、NOP検出信号CCをCLK2の立ち下がりでラッチするCCラッチ18と、CCラッチ18にラッチされたNOP検出信号26 (CC')を制御信号として組み合わせ論理回路6の制御信号COをバッファリングするトライステートバッファ17を備え、データバス部4でオペレーションを行わない場合 (NOP時) は、CC=0がトライステートバッファ17の制御信号として入力されるので、それまで出力されていた制御信号COがトライステートバッファ17でダイナミックにホールド出力され、これにより、命令デコード部1からはデータバス部4に制御信号CO=Aが出力されたままで、各入、出力ラッチ5、7にはラッチをおこなわないように制御信号CLI, CLO=0が出力され、組み合わせ論理回路6では入力データDIと制御信号COが変化せず、スイッチングは行われないうにしたことにある。

【0039】なお、他の構成は図1に示すものと同様であり、動作タイミングは図2に示すものと同様であり、NOP検出信号は図3～図6に示す実施例による生成方法で生成される。

【0040】このような実施例においても、上記実施例と同様な効果を得ることができる。

【0041】図8は請求項3記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【0042】図8に示す実施例の特徴とするところは、図1に示す構成に対して、CCを制御信号とし、組み合わせ論理回路6の制御信号生成回路13の出力 (CC=1) 又はCラッチ12でラッチされた後の組み合わせ論理回路6の制御信号 (CC=0) をセレクトするセクタ19を設け、データバス部4でオペレーションを行わない場合 (NOP時) は、CO=0がセクタ19の制御信号として入力されるので、セクタで19はCラッチ12でラッチされた後の組み合わせ論理回路6の制御信号をセレクトし、命令デコード部1からはデータバス部4に制御信号CO=Aが出力されたままで、各入、出力ラッチ5、7にはラッチをおこなわないように制御信号CLI, CLO=0が出力され、データバス部4では入力データDIと制御信号COが変化しないので、スイッチングは行われないうにしたことにある。

【0043】なお、他の構成は図1に示すものと同様であり、動作タイミングは図2に示すものと同様であり、NOP検出信号は図3～図6に示す実施例による生成方法で生成される。

【0044】このような実施例においても、上記実施例と同様な効果を得ることができる。図9は請求項8記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【0045】図9に示す実施例の特徴とするところは、図1に示す構成に対して、データバス部4のオペレー

ション信号14を入力として、データバス部4のオペレーションがNOPの時はCC='0'を、それ以外ではCC='1'となる1ビットのNOP検出信号CCを生成するNOP検出器16を設け、データバス部4でオペレーションを行わない場合 (NOP時) は、CC=0がCラッチ12の制御信号として入力されるので、Cラッチ12はラッチを行わず、命令デコード部1からはデータバス部4に制御信号CO=Aが出力されたままで、各入、出力ラッチ5、7にはラッチをおこなわないように制御信号CLI, CLO=0が出力され、データバス部4では入力データ1と制御信号COが変化しないので、スイッチングは行われないうにしたことにある。

【0046】なお、他の構成は図1に示すものと同様であり、動作タイミングは図2に示すものと同様である。

【0047】このような実施例においては、図1に示す実施例と同様な効果を得ることができるとともに、NOP検出信号CCを生成する専用の回路が必要となるが、命令レジスタ2及びプリデコード回路3は図12に示す従来の構成を用いることができるという利点がある。

【0048】図10は請求項9記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【0049】図10に示す実施例の特徴とするところは、図7に示す実施例と図9に示す実施例を組み合わせたものであり、図9に示すNOP検出器16の検出信号CCで図7に示すトライステートバッファ17を制御して、データバス部4でオペレーションを行わない場合 (NOP時) は、CC'=0がトライステートバッファ17の制御信号として入力されるので、それまで出力されていた制御信号COがトライステートバッファ17でダイナミックにホールド出力され、命令デコード部1からはデータバス部4に制御信号CO=Aが出力されたままで、各入、出力ラッチ5、7にはラッチをおこなわないように制御信号CLI, CLO=0が出力され、データバス部4では入力データDIと制御信号COが変化しないので、スイッチングは行われないうにしたことにある。

【0050】なお、他の構成は図1に示すものと同様であり、動作タイミングは図2に示すものと同様である。

【0051】このような実施例においては、図9に示す実施例と同様な効果を得ることができる。

【0052】図11は請求項10記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【0053】図11に示す実施例の特徴とするところは、図8に示す実施例と図9に示す実施例を組み合わせたものであり、図9に示すNOP検出器16の検出信号CCで図8に示すセクタ19を制御して、データバス部4でオペレーションを行わない場合 (NOP時) は、CC=0がセクタ19の制御信号として入力されるので、セクタ19ではCラッチ12でラッチされた後の組み合わせ論理回路6の制御信号をセレクトし、命令デ

コード部1からはデータバス部4に制御信号 $CO=A$ が出力されたままで、各入、出力ラッチ5、7にはラッチをおこなわないように制御信号 CLI 、 $CLO=0$ が出力され、データバス部4では入力データ DI と制御信号 CO が変化しないので、スイッチングは行われないうにしたことにある。

【0054】なお、他の構成は図1に示すものと同様であり、動作タイミングは図2に示すものと同様である。

【0055】このような実施例においては、図9に示す実施例と同様な効果を得ることができる。

【0056】

【発明の効果】以上説明したように、この発明によれば、データバス部でオペレーションを行わない場合にはこれを検出して、新たな制御信号をデータバス部に出力せず、それまで与えられていた制御信号をデータバス部に与え続けるようにしたので、データバス部で回路が動作せず、消費電力を削減することができ、低消費電力化を達成し得るマイクロプロセッサを提供することができる。

【図面の簡単な説明】

【図1】請求項1記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【図2】図1に示す構成のタイミングチャートを示す図である。

【図3】請求項4記載の発明の一実施例に係わるマイクロプロセッサのNOP検出信号を生成する構成を示す図である。

【図4】請求項5記載の発明の一実施例に係わるマイクロプロセッサのNOP検出信号を生成する構成を示す図である。

【図5】請求項6記載の発明の一実施例に係わるマイクロプロセッサのNOP検出信号を生成する構成を示す図である。

【図6】請求項7記載の発明の一実施例に係わるマイクロプロセッサのNOP検出信号を生成する構成を示す図である。

【図7】請求項2記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【図8】請求項3記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【図9】請求項8記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【図10】請求項9記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

【図11】請求項10記載の発明の一実施例に係わるマイクロプロセッサの構成を示す図である。

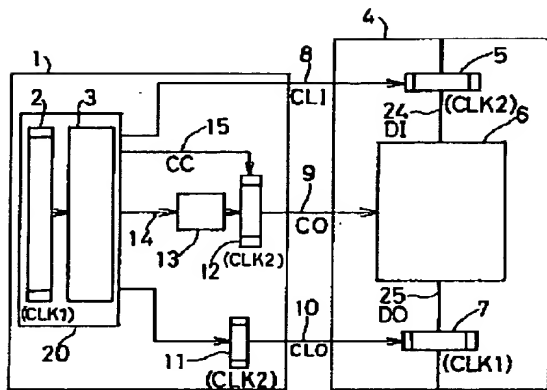
【図12】従来のマイクロプロセッサにおけるデータバス部と命令デコード部の構成を示す図である。

【図13】従来のマイクロプロセッサにおけるデータバス部及び命令デコード部中の各信号のタイミングチャートを示す図である。

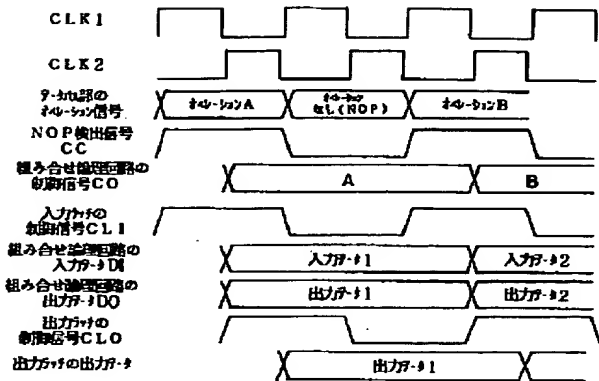
【符号の説明】

- 1 命令デコード部
- 2 命令レジスタ
- 3 プリデコード回路
- 4 データバス部
- 5 入力ラッチ
- 6 組み合わせ論理回路部
- 7 出力ラッチ
- 8 入力ラッチの制御信号 (CLI)
- 9 組み合わせ論理回路部の制御信号 (CO)
- 10 出力ラッチの制御信号 (CLO)
- 11 CLO ラッチ
- 12 C ラッチ
- 13 組み合わせ論理回路6の制御信号生成回路
- 14 データバス部のオペレーション信号
- 15 NOP検出信号
- 16 NOP検出器
- 17 トライステートバッファ
- 18 CC ラッチ
- 19 セレクタ
- 20 命令レジスタとプリデコード回路で構成されるブロック
- 21 PLA
- 22 ステートマシン
- 23 デコード回路
- 24 組み合わせ論理回路の入力データ (DI)
- 25 組み合わせ論理回路の出力データ (DO)
- 26 CC ラッチでラッチされたNOP検出信号 (CC)

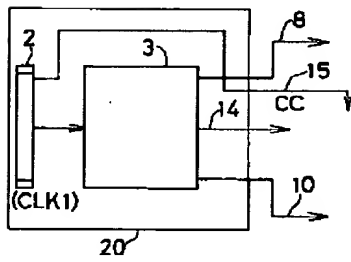
【図1】



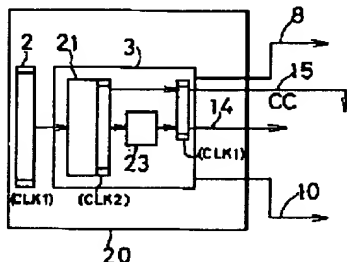
【図2】



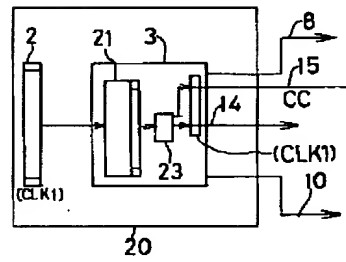
【図3】



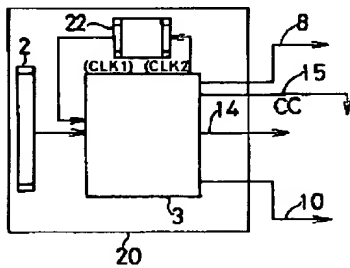
【図4】



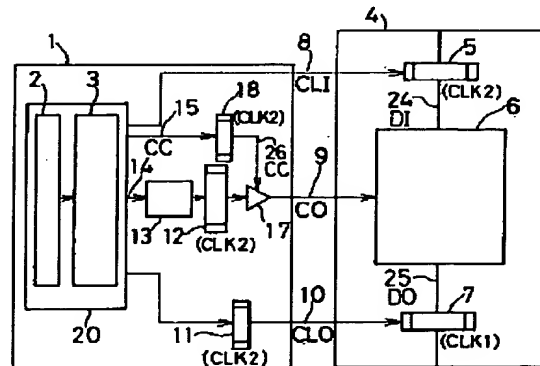
【図5】



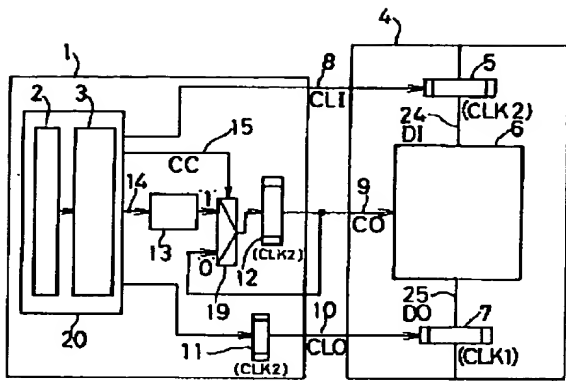
【図6】



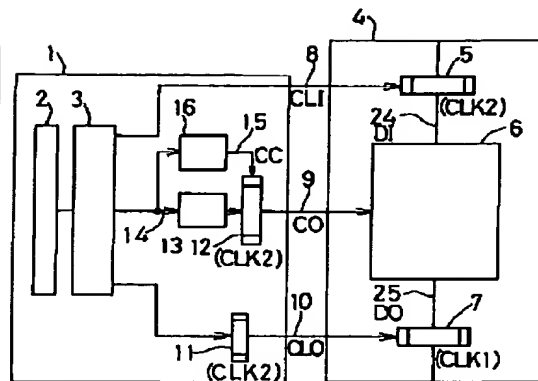
【図7】



【図8】

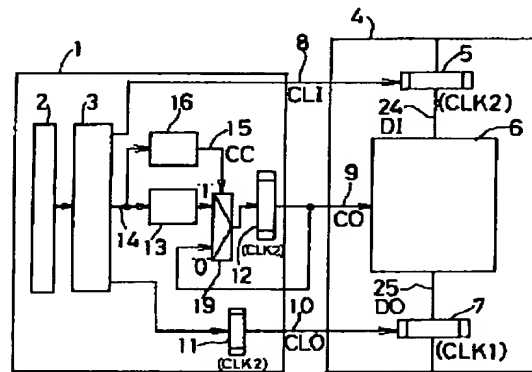
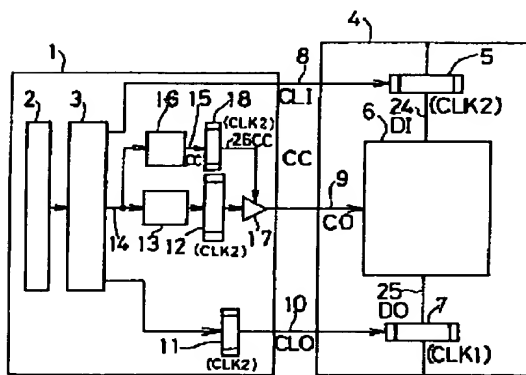


【図9】

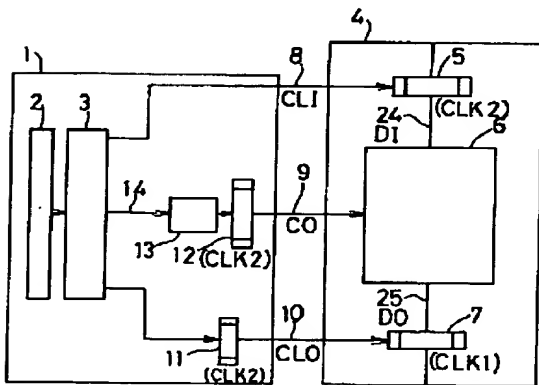


【図11】

【図10】



【図12】



【図 1 3】

